

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021190

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G11C 29/00
G11C 11/413
G11C 11/408
G11C 11/401

(21)Application number : 10-190560

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.07.1998

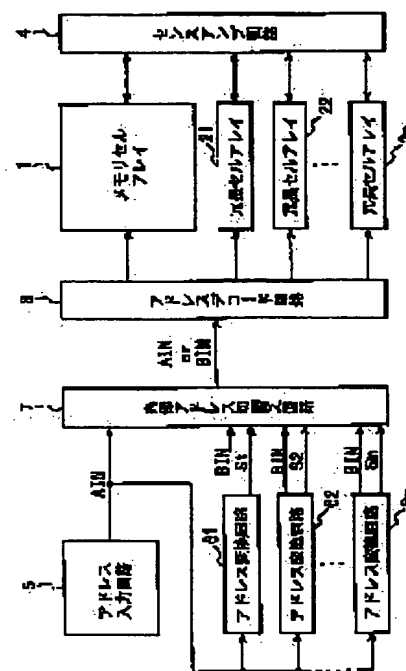
(72)Inventor : HIMENO TOSHIHIKO
IWATA YOSHIHISA
IMAMIYA KENICHI
SUGIURA YOSHIHISA

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory having a redundant circuit type for selecting redundant cell arrays without adding a complicated circuit without increasing an area of a wiring region.

SOLUTION: Addresses are allocated in redundant cell arrays 21 to 2m for fault remedy of a memory cell array 1. A first internal address AIN input by an address input circuit 5 is selected by a switching circuit 7 in the case of no defective address, transferred to an address decoder 3, and the array 1 is accessed. The address AIN is sent to an address converters 61 to 6m. In the case of the defective address, a second internal address BIN converted into addresses of the arrays 21 to 2m together with an identification signal S is generated. The address BIN is selected by the circuit 7, transferred to the decoder 3, and the arrays 21 to 2m are selectively driven.



LEGAL STATUS

[Date of request for examination]

11.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-21190

(P2000-21190A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 B 5 B 0 1 5
11/413		11/34	3 4 1 C 5 B 0 2 4
11/408			3 5 4 B 5 L 1 0 6
11/401			3 7 1 D

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平10-190560

(22) 出願日 平成10年7月6日 (1998.7.6)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 姫野 敏彦

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 岩田 佳久

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100092820

弁理士 伊丹 勝

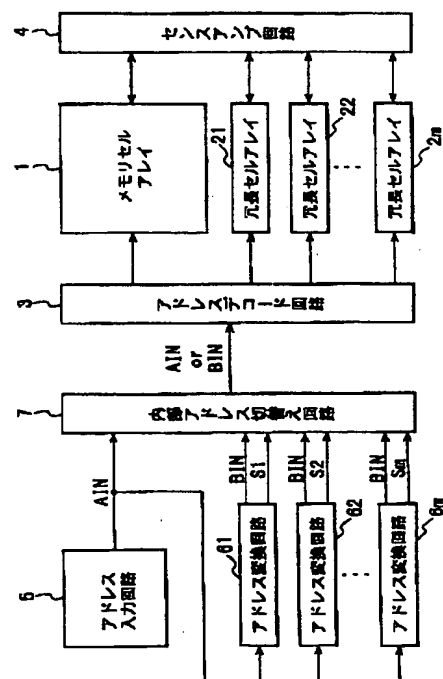
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 配線領域の面積増大を伴うことなく、また複雑な回路を付加することなく冗長セルアレイの選択を可能とした冗長回路方式を持つ半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ1の不良救済用の冗長セルアレイ2には、アドレスが割り当てられる。アドレス入力回路5により取り込まれる第1の内部アドレスA I Nは、不良アドレスでない場合に切り替え回路7により選択されてアドレスデコード回路3に転送され、メモリセルアレイ1がアクセスされる。内部アドレスA I Nはアドレス変換回路6に送られる。不良アドレスの場合、識別信号Sと共に冗長セルアレイ2のアドレスに変換された第2の内部アドレスB I Nが発生され、切り替え回路7では第2の内部アドレスB I Nが選択されてアドレスデコード回路3に転送され、冗長セルアレイ2が選択駆動される。



1

【特許請求の範囲】

【請求項1】 データを記憶するメモリセルアレイと、このメモリセルアレイの不良メモリセルを救済するための冗長セルアレイと、

外部アドレスを取り込んで第1の内部アドレスを発生するアドレス入力回路と、

このアドレス入力回路により取り込まれた第1の内部アドレスが不良アドレスであるか否かを判定すると共に、不良アドレスを前記冗長セルアレイに対して予め割り当てられた第2の内部アドレスに変換するアドレス変換回路と、

このアドレス変換回路から得られる第2の内部アドレスと前記アドレス入力回路から得られる第1の内部アドレスのいずれかを選択的に取り出す内部アドレス切り替え回路と、

この内部アドレス切り替え回路から取り出された第1の内部アドレス又は第2の内部アドレスをデコードして前記メモリセルアレイのメモリセル選択又は前記冗長セルアレイの冗長セル選択を行うアドレスデコード回路と、を備えたことを特徴とする半導体記憶装置。

【請求項2】 前記アドレス変換回路は、不良アドレスに応じて、その不良アドレスを前記冗長セルアレイに割り当てられたアドレスに変換するための変換用データを不揮発に記憶する変換用データ記憶回路と、

この変換用データ記憶回路のデータと前記第1の内部アドレスとの論理により前記第2の内部アドレスを生成する論理ゲートと、

この論理ゲートにより得られる第2の内部アドレスの出力が前記冗長セルアレイに割り当てられたアドレスであるか否かに応じて前記内部アドレス切り替え回路の切り替え制御を行う識別信号を生成する識別信号生成回路と、を有することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記論理ゲートは、前記変換用データ記憶回路のデータと前記第1の内部アドレスの対応ビット毎の排他的論理和をとる排他的論理和ゲートであることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記内部アドレス切り替え回路から選択的に得られる第1の内部アドレス及び第2の内部アドレスに対して、両者を区別するための識別ビットを付加する識別ビット付加回路が設けられていることを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特に不良救済を行う冗長回路を備えた半導体記憶装置に関する。

【0002】

【従来の技術】DRAM等の半導体記憶装置では、大容

2

量化に伴って、歩留まり向上のために、不良メモリセルを救済するための冗長回路を設けることが一般に行われている。冗長回路は、不良ビットを救済するための冗長セルアレイを、メモリセルアレイの不良率を考慮してメモリセルアレイに対して予備的に所定の容量をもって配置することにより構成される。

【0003】冗長セルアレイにより不良メモリセルの置き換えを行うためには、予めウェハ段階のテストで検出された不良アドレスを不揮発に記憶する不良アドレス記憶回路を備える。不良アドレス記憶回路には、レーザ熔断型或いは電気熔断型のフューズ回路や、不揮発性半導体メモリ等が用いられる。そして入力されるアドレスと不良アドレス記憶回路の不良アドレスとの一致検出を行う比較回路を備えて、この比較回路の出力により不良メモリセルの置換制御が行われる。

【0004】

【発明が解決しようとする課題】入力されるアドレスと不良アドレス記憶回路の不良アドレスとの一致検出を行う比較回路の出力信号は、通常コード化されることなく、そのまま特定の冗長セルを選択する選択信号として用いられる。このため、メモリセルアレイの選択を行うアドレス信号の配線領域にこの選択信号配線を配置すると、配線領域の面積が大きいものとなる。

【0005】具体的に例えば、DRAMメモリセルアレイのワード線に対して、予備ワード線を配置した場合を考える。このときメモリセルアレイのワード線端部にはロウデコーダが配置される。ロウデコーダに入るロウアドレスは、ロウデコーダの配列と平行に走る2N本のロウアドレス信号線の領域が設けられ、これにより2N本のワード線選択が行われる。一方、予備ワード線をM本設けた場合、選択信号がコード化されていなければ、M本の予備ワード線を選択するためにM本の選択信号線をアドレスバス領域に配置することが必要になる。即ちロウアドレス信号線の本数は、2N+Mとなる。従って予備ワード線数Mが大きくなると、これが直接アドレスバス領域の面積増大につながり、チップ面積の増大をもたらす。

【0006】一般に半導体記憶装置は、大容量化すればするほど、不良ビット救済用の冗長セルアレイを増やすことが必要になるため、上述した選択信号による配線領域の面積増大の影響が大きくなる。この問題を解決するために、上述した冗長セルアレイの選択信号をコード化し、予備ワード線の端部にデコーダ回路を設けることが考えられる。しかし、不良アドレス記憶回路や比較回路とは別に、選択信号をコード化するコード化回路とデコーダ回路を設けるとすると、回路構成が複雑になるだけでなく、ゲート段数の増加により、冗長セルアレイ駆動の遅延が大きくなる。

【0007】更に、通常のメモリセルに対する選択経路と冗長セルアレイに対する選択経路の構成が異なる従来

3

の冗長回路方式では、通常のメモリセルと冗長セルに対するアクセスに時間差が生じるため、これをタイミング設計上考慮しなければならない。

【0008】この発明は、上記事情を考慮してなされたもので、配線領域の面積増大を伴うことなく、また複雑な回路を付加ことなく冗長セルアレイの選択を可能とした冗長回路方式を持つ半導体記憶装置を提供することを目的としている。

【0009】

【課題を解決するための手段】この発明に係る半導体記憶装置は、データを記憶するメモリセルアレイと、このメモリセルアレイの不良メモリセルを救済するための冗長セルアレイと、外部アドレスを取り込んで第1の内部アドレスを発生するアドレス入力回路と、このアドレス入力回路により取り込まれた第1の内部アドレスが不良アドレスであるか否かを判定すると共に、不良アドレスを前記冗長セルアレイに対して予め割り当てられた第2の内部アドレスに変換するアドレス変換回路と、このアドレス変換回路から得られる第2の内部アドレスと前記アドレス入力回路から得られる第1の内部アドレスのいずれかを選択的に取り出す内部アドレス切り替え回路と、この内部アドレス切り替え回路から取り出された第1の内部アドレス又は第2の内部アドレスをデコードして前記メモリセルアレイのメモリセル選択又は前記冗長セルアレイの冗長セル選択を行うアドレスデコード回路とを備えたことを特徴とする。

【0010】前記アドレス変換回路は例えば、不良アドレスに応じて、その不良アドレスを前記冗長セルアレイに割り当てられたアドレスに変換するための変換用データを不揮発に記憶する変換用データ記憶回路と、この変換用データ記憶回路のデータと前記第1の内部アドレスとの論理により前記第2の内部アドレスを生成する論理ゲートと、この論理ゲートの出力が前記冗長セルアレイに割り当てられたアドレスであるか否かに応じて前記内部アドレス切り替え回路の切り替え制御を行う識別信号を生成する識別信号生成回路とから構成される。

【0011】また前記論理ゲートは例えば、前記変換用データ記憶回路のデータと前記第1の内部アドレスの対応ビット毎の排他的論理和をとる排他的論理和ゲートにより構成される。この発明において好ましくは、前記内部アドレス切り替え回路から選択的に得られる第1の内部アドレス及び第2の内部アドレスに対して、両者を区別するための識別ビットを付加する識別ビット付加回路が設けられる。

【0012】この発明においては、冗長セルアレイには予め所定のアドレスが割り当てられ、メモリセルアレイ及び冗長セルアレイに対して不良アドレスが入力されたときにこれを冗長セルアレイを選択する内部アドレスに変換するアドレス変換回路が設けられる。具体的にアドレス変換回路は、不良アドレスを判定する機能を有する

4

ものであり、予めテストにより求められた不良アドレスを冗長セルアレイに割り当てられたアドレスに変換するための変換用データを不揮発に記憶する変換用データ記憶回路と、この変換用データ記憶回路のデータとアドレス入力回路により取り込まれた第1の内部アドレスとの論理により、冗長セルアレイを選択するための第2の内部アドレスを生成する論理ゲートとをもって構成される。

【0013】即ちこの発明では、従来の不良アドレス記憶記憶回路に相当する記憶回路には、不良アドレスそのものではなく、不良アドレスを予め冗長セルアレイに割り当てられたアドレスに変換するための変換用データが記憶される。そして、入力されたままの第1の内部アドレスと、不良アドレスが入力された場合に交換される第2の内部アドレスとが切り替えて供給されるアドレスデコード回路により、メモリセルアレイと冗長セルアレイの選択が行われる。従ってこの発明によると、アドレスデコード回路に入るアドレス信号配線は、メモリセルアレイと冗長セルアレイとに共通のコード化されたアドレス信号の配線として配置され、従来のようにコード化されない選択信号を用いる方式と異なり、冗長セルアレイの数が大きくなっても、冗長セルアレイ選択のために信号配線領域が増大することはない。

【0014】またこの発明では、冗長セルアレイに対して、メモリセルアレイと同様にアドレスを割り当てるが、従来の不良アドレス記憶回路に相当する部分に、不良アドレスを予め割り当てられた冗長セルアレイのアドレスに変換するアドレス変換機能を持たせることにより、複雑なコード化回路やアドレス選択回路を別途追加する必要はない。更に、通常のメモリセルと冗長セルアレイに対して選択経路や選択回路が統一的に構成されるため、高速アクセスを可能とするためのタイミング設計も容易になる。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例によるDRAMのブロック構成を示している。メモリセルアレイ1は、詳細な説明を省くが、ワード線とビット線の各交差部にダイナミック型メモリセルを配置して構成される。このメモリセルアレイ1に対して、不良メモリセルの救済のための冗長セルアレイ2(21, 22, ..., 2m)が配置される。各冗長セルアレイ2は、予備ワード線或いは予備カラム選択線のいずれか、或いは両方である。但し、予備ワード線或いは予備カラム選択線が複数本の束である場合も含む。

【0016】この実施例では、メモリセルアレイ1の全メモリセルを選択するに必要なアドレスのうち、一部アドレスを使用禁止として、その使用禁止アドレスが冗長セルアレイ2の選択のために割り当てられる。その具体例は後述するが、このようなアドレス割り当てを行うこと

5

により、メモリセルアレイ1と冗長セルアレイ2に対して区別なくメモリセル選択を行うアドレスデコード回路3が設けられる。メモリセルアレイ1及び冗長セルアレイ2のデータの読み/書きを行うためにセンスアンプ回路4が設けられている。

【0017】外部アドレスはアドレス入力回路5により取り込まれる。アドレス入力回路5により取り込まれた第1の内部アドレスAINは、これが不良アドレスでなければ、内部アドレス切り替え回路7を通り、アドレスデコード回路3に供給されて、メモリセルアレイ1に対して通常のアクセスが行われる。

【0018】アドレス入力回路5により取り込まれた第1の内部アドレスAINは、分岐されてアドレス変換回路6(61, 62, ..., 6m)に入力される。アドレス変換回路6は、入力された第1の内部アドレスAINが不良アドレスであるか否かを判定すると同時に、不良アドレスである場合にその第1の内部アドレスAINを冗長セルアレイ2の選択に用いられる第2の内部アドレスBINに変換するために設けられている。アドレス変換回路6の数は冗長セルアレイ2の数と等しい。

【0019】アドレス変換回路6はこの実施例の場合、実際には、第1の内部アドレスAINが不良アドレスであるか否かに拘わらずアドレス変換動作を行う。そこで、変換された第2の内部アドレスが、所定の不良アドレスを予め割り当てられた冗長セルアレイ2のアドレスに変換したものであることを識別するための識別信号S(S1, S2, ..., Sm)を出力するものとする。内部アドレス切り替え回路7は、この識別信号Sにより制御されて、第1の内部アドレスAINと第2の内部アドレスBINの切り替え転送を行う。

【0020】図2は、図1におけるアドレス変換回路6の一つの具体構成を示している。アドレス変換回路6は、テストの結果求められた不良アドレスに応じて、その不良アドレスを冗長セルアレイ2に割り当てられたア

6

ドレスに変換するための変換用データを不揮発に記憶する変換用データ記憶回路61と、この変換用データ記憶回路61のデータと第1の内部アドレスAIN<a0:a m>との論理により第2の内部アドレスBIN<b0:b m>を生成する論理ゲート62と、この論理ゲート62の出力である第2の内部アドレスが冗長セルアレイ2に割り当てられたアドレスである場合に内部アドレス切り替え回路7の切り替え制御を行う識別信号Sを生成する識別信号生成回路63とから構成される。

【0021】変換用データ記憶回路61は、アドレスビット数と等しい数のフューズ回路により構成される。各フューズ回路は、プルアップ抵抗Rと、例えばレーザ熔断型フューズFSとから構成され、フューズFSの熔断(破線で示す)、非熔断に応じて、“0”、“1”のフューズデータN0, N1, ..., Nmを出力する。この実施例の場合フューズデータは、不良アドレスそのものではなく、不良アドレスを冗長セルアレイ2を選択するためのアドレスに変換するための変換用データである点で、通常の不良アドレス記憶回路と基本的に異なる。第1の内部アドレスAINと、フューズデータN0, N1, ..., Nmとの論理により冗長セルアレイ2のアドレスである第2の内部アドレスBINを得る論理ゲート62としては、この実施例の場合排他的論理和ゲートG0, G1, ..., Gmが用いられている。

【0022】アドレス変換の内容を以下に具体的に説明する。説明を簡単にするため、メモリセルアレイ1のアドレスは、a0~a3の4ビットであるとする。このとき、メモリセルアレイ1では、下記表1に示すように、例えばアドレス「1101」, 「1110」, 及び「1111」が使用禁止とされ、この使用禁止のアドレスが冗長セルアレイ2に割り当てられる。

【0023】

【表1】

a3	a2	a1	a0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

*不良

*不良

*不良

使用禁止→冗長セルアドレス

使用禁止→冗長セルアドレス

使用禁止→冗長セルアドレス

【0024】表1において、*で示すアドレス「0100」, 「0101」, 「0110」が不良アドレスであったとする。このときこれらの不良アドレスを排他的論理和ゲートによりそれぞれ冗長セルアレイに割り当てられたアドレス「1101」, 「1110」, 「1111」*

*1」に変換するためには、変換用データ記憶回路61に記憶する変換用データは、次の表2のように設定すればよい。

【0025】

【表2】

不良アドレス				変換用データ				冗長セルアドレス			
a3	a2	a1	a0	c3	c2	c1	c0	b3	b2	b1	b0
0	1	0	0	1	0	0	0	1	1	0	0
0	1	0	1	1	0	1	1	1	1	1	0
0	1	1	0	1	0	0	1	1	1	1	1

【0026】表2のように変換用データを設定して記憶回路61に書き込んでおけば、不良アドレスが入力されたときに、これを表2に従って冗長セルアレイのアドレスに変換することができる。即ち、アドレス変換回路6では、不良アドレスの判定と同時に、その不良アドレスを冗長セルアレイを選択するアドレスに変換することになる。

【0027】一方、表2に従って冗長セルアレイ2に割り当てられた第2の内部アドレスBINに変換されたとき、これを識別する識別信号Sは、下記表3に示すように、内部アドレスBINの各ビットデータの単純な論理積で発生させることができる。即ち識別信号生成回路63は単純な論理ゲートで構成される。但し、表3の中のアンダーラインは、反転データを意味する。

【0028】

【表3】

識別信号発生論理	S1	S2	S3
$b3 \cdot b2 \cdot \underline{b1} \cdot \underline{b0}$	1	0	0
$b3 \cdot b2 \cdot b1 \cdot \underline{b0}$	0	1	0
$b3 \cdot b2 \cdot b1 \cdot b0$	0	0	1

【0029】以上のようにして、アドレス入力回路5により取り込まれた第1の内部アドレスAINは、第2の内部アドレスBINに変換され、これが冗長セルアレイ2に割り当てられたアドレスである場合には、対応する識別信号Sが“1”となる。この識別信号Sにより、内部アドレス切り替え回路7が制御されて、第1の内部アドレスAINに代わって第2の内部アドレスBINが選択される。

【0030】上述のように、不良アドレスが入力されたとき、フューズデータN0, N1, ..., Nmと、第1の内部アドレスa0, a1, ..., amとのそれぞれの排他的論理和により冗長セルアレイ2を選択する第2の内部

9

アドレスが生成される。図2に示した、この第2の内部アドレスを発生する論理ゲート62の部分は、具体的には例えば、図3に示すように、CMOSトランスファゲートを用いて構成される。即ち、第1の内部アドレス a_0, a_1, \dots, a_m とこれをインバータ132により反転したデータをそれぞれ転送するためのCMOSトランスファゲートT32, T31が、それらの転送出力側を共通にして併設される。

【0031】フューズデータ N_0, N_1, \dots, N_m は、トランスファゲートT31, T32のそれぞれNMOSトランジスタ、PMOSトランジスタ側のゲートに入力される。またフューズデータ N_0, N_1, \dots, N_m をインバータ131により反転したデータが、トランスファゲートT31, T32のそれぞれPMOSトランジスタ、NMOSトランジスタ側のゲートに入力される。これにより、フューズデータ N_0, N_1, \dots, N_m と、これらとそれぞれ対になって入力される第1の内部アドレス a_0, a_1, \dots, a_m との排他的論理和がとられ、いずれか一方のみが“1”である場合に“1”を出す。

【0032】次に、内部アドレス切り替え回路7の具体的構成を説明する。図4は、内部アドレス切り替え回路7のなかの第1の内部アドレスA INを選択する第1の内部アドレス選択部71の構成である。この内部アドレス選択部71は、アドレスビット a_0, a_1, \dots, a_m にそれぞれ対応して設けられたトランスファゲートT10, T11, \dots , T1mを主体として構成される。図ではトランスファゲートT10, T11, \dots , T1mはCMOSゲートである。これらのトランスファゲートを同時にオン又はオフ制御するために、識別信号 S_1, S_2, \dots, S_m が入力されるNORゲートG11と、その出力を反転するインバータI1が設けられている。NORゲートG11の出力はトランスファゲートT10, T11, \dots , T1mのNMOSトランジスタ側のゲートに、インバータI1の出力はトランスファゲートT10, T11, \dots , T1mのPMOSトランジスタ側のゲートに、それぞれ接続される。

【0033】従って、識別信号 S_1, S_2, \dots, S_m の全てが“0”であり、不良アドレスが選択されていない場合には、トランスファゲートT10, T11, \dots , T1mがオンして、第1の内部アドレスA INが取り出される。識別信号 S_1, S_2, \dots, S_m のいずれか一つでも“1”であれば、トランスファゲートT10, T11, \dots , T1mはオフとなり、第1の内部アドレスA INの転送は阻止される。

【0034】内部アドレス切り替え回路7のうち、第2の内部アドレスB INを選択する第2の内部アドレス選択部72は、図5に示すように、アドレスビット b_0, b_1, \dots, b_m にそれぞれ対応して設けられたトランスファゲートT20, T21, \dots , T2mにより構成される。これらのトランスファゲートT20, T21, \dots , T2mのオン

10

オフ制御のために、識別信号 S_1 を反転するインバータI2が設けられている。即ち、識別信号 S_1 が“1”のとき、トランスファゲートT20, T21, \dots , T2mがオンして、第2の内部アドレスB INが取り出される。このとき、図4に示す第1の内部アドレス選択部71はオフである。

【0035】図5では、一つの識別信号 S_1 について示したが、同様の回路が他の識別信号 $S_2 \sim S_m$ について、即ち他のアドレス変換回路62~6mについても設けられる。これにより、ある不良アドレスが入力されたときに、これに対応する第2の内部アドレスB INが選択されることになる。内部アドレス切り替え回路7により選択された第1の内部アドレスA IN又は第2の内部アドレスB INは、アドレスデコード回路3に供給される。アドレスデコード回路3は、メモリセルアレイ1に対して配置されるデコード部と、これと同様の構成で冗長セルアレイ2に対して配置されるデコード部とから構成される。この様なアドレスデコード回路3により、通常メモリセルと冗長セルの区別なくアクセス制御が行われる。

【0036】具体的に、図1に示す冗長セルアレイ2が予備ワード線である場合について、アドレスデコード回路3のワード線選択を行うロウデコーダ部分とその入力アドレス配線部分の構成を示すと、図6のようになる。メモリセルアレイ1は複数本のワード線WL毎にサブセルアレイに分割され、各サブセルアレイ毎に例えば1本の予備ワード線SWLが配置される。そして、ワード線WLの端部にはワード線WLを選択駆動するロウデコーダRDが配置され、このロウデコーダRDと同様のゲート構成の予備ロウデコーダSRDが予備ワード線SWLの端部に配置される。これらのロウデコーダRD及び予備ロウデコーダSRDに入るロウアドレスを転送する内部ロウアドレスの配線部51は、第1の内部アドレスA IN及び第2の内部アドレスB INに対して共用される。即ち、配線部51は、第1の内部アドレスA IN及び第2の内部アドレスB INに対して区別なく、ロウアドレスビット RA_0, RA_1, \dots, RA_p 、及びそれらの反転ビットを転送するに必要な2p本の信号線により構成される。

【0037】以上のようにこの実施例によると、冗長セルアレイに対してアドレスを割り当てて、冗長セルアレイの選択を通常のメモリセル選択と同様に取り扱うことにより、アドレス配線領域に大きな面積を用意することなく、不良メモリセルの置換制御を行うことができる。従って冗長セルアレイが大きくなった場合にも、チップ面積の増大を抑えることができる。

【0038】またこの実施例では冗長セルアレイに対して、メモリセルアレイと同様にアドレスを割り当てて、従来の不良アドレス記憶回路に相当する部分にアドレス変換機能を持たせることにより、格別に複雑なアド

レス選択回路を追加する必要はない。更にこの実施例では、メモリセルの選択経路が通常メモリセルと冗長セルとで異なるため、無用のタイミングマージンをとる必要もなく、タイミング設計が容易である。

【0039】なお、図4に示す第1の内部アドレス選択部71は、トランスファゲートT10, T11, ..., T1mに代わって、図7に示すように、クロックトCMOSインバータINV10, INV11, ..., INV1mを用いて構成することもできる。同様に、図5に示す第2の内部アドレス選択部71は、トランスファゲートT20, T21, ..., T2mに代わって、図8に示すように、クロックトCMOSインバータINV20, INV21, ..., INV2mを用いて構成することができる。即ちこれらのアドレス選択部は、“H”、“L”出力及び高インピーダンス出力状態の3値を出力できる論理回路であればよい。

【0040】また上記実施例では、メモリセルアレイ1の全メモリセルを選択するのに必要なアドレスの一部を使用禁止として、その使用禁止のアドレスを冗長セルアレイ2の選択に用いた。これに対し、メモリセルアレイ1の全メモリセルを有効に使用するためには、メモリセルアレイ1の全メモリセル選択に必要なアドレスに対して1ビット多い外部アドレスを必要とすることになる。しかし、この発明のより好ましい実施態様では、メモリセルアレイ1のメモリセルを選択するアドレスを一部使用禁止にすることなく、しかも余分な外部アドレスビットを用いることなく、上記実施例と同様の冗長セルアレイ選択を行うことができる。

【0041】図9は、その様な好ましい実施例によるDRAMを図1に対応させて示す。この実施例では、冗長セルアレイ選択を行うために、外部アドレスに対して識別ビットを1ビット付加した内部アドレスを生成する。具体的には、図9に示すように、内部アドレス切り替え回路7から得られる第1の内部アドレスAIN及び第2の内部アドレスBINに対して、それらの最上位ビットに識別ビットを付加する識別ビット付加回路8を設けている。識別ビット付加回路8では、第1の内部アドレス $AIN < a_0 : a_m >$ に対しては $dm+1 = “0”$ 、第2の内部アドレス $BIN < b_0 : b_m >$ に対しては、 $dm+1 = “1”$ を識別ビットとして、それぞれ最上位ビットに付加する。

【0042】識別ビット $dm+1$ は例えば、図10に示すように、アドレス変換回路6から得られる全識別信号 S_1, S_2, \dots, S_m のNOR論理をとるNORゲートG101により構成することができる。即ち、全識別信号 S_1, S_2, \dots, S_m が“0”の場合、 $dm+1 = 1$ となり、識別信号 S_1, S_2, \dots, S_m のいずれかが“1”の場合に、 $dm+1 = 0$ となる。

【0043】この識別ビット $dm+1$ は、内部アドレスと共にアドレスデコード回路3に入る。アドレスデコード回路3の各デコーダがNANDゲートである場合、図1

0に示すように、メモリセルアレイ1を選択する全デコーダに共通に識別ビット $dm+1$ を入力し、冗長セルアレイ2を選択する全デコーダには共通に識別ビット $dm+1$ の反転データを入力する。これにより、メモリセルアレイ1側のアクセスと冗長セルアレイ2側のアクセスの一方を選択的に活性にすることができる。

【0044】この実施例の場合、図10から明らかなように、アドレスデコード回路3に入力されるアドレス信号線の本数が先の実施例に比べて、識別ビット分の2本が増えることになる。しかしこの実施例によると、通常メモリセルを選択する第1の内部アドレスAINと、冗長セルを選択する第2の内部アドレスBINとが重複することが許容される。言い換えれば、外部アドレスとしてはメモリセルアレイ1の全メモリセルを選択するのに必要な全アドレスを有効として、このメモリセルアレイ1とは無関係に冗長セルアレイ2に対してアドレスを割り当てることができる。

【0045】この発明は、上記実施例に限られない。例えば、図2では、変換用データ記憶回路61を、フューズFSとプルアップ抵抗Rを用いたフューズ回路により構成したが、プルアップ抵抗RをMOSトランジスタにより置き換えることができる。また、図2に示す各フューズ回路に対して、図11に示すように、データラッチ回路64を付加して、電源投入時にフューズデータを確定させるようにしても良い。また、図1に示すように、アドレス変換回路6は冗長セルアレイ2の数だけ用意されるが、不良メモリセルがなければアドレス変換回路6は使用されない。従って、従来の冗長回路方式での不良アドレス記憶のフューズ回路と同様に、データ書き込みがなされたフューズ回路のフューズデータのみを有効とするためのイネーブルフューズを用いることは有効である。更に、図2に示すフューズ回路に代わって、EEPROM等の他の不揮発性メモリを用いることもできる。

【0046】

【発明の効果】以上述べたようにこの発明による冗長回路方式では、アドレスデコード回路に入るアドレス信号配線は、メモリセルアレイと冗長セルアレイとに共通のコード化されたアドレス信号の配線として配置され、従来のように冗長セルアレイに対してコード化されない選択信号を用いる方式と異なり、冗長セルアレイの数が大きくなっても、冗長セルアレイ選択のために信号配線領域が増大することはない。またこの発明では、冗長セルアレイに対して、メモリセルアレイと同様にアドレスを割り当てるが、複雑なコード化回路やアドレス選択回路を別途追加する必要もない。更に、メモリセルアレイと冗長セルアレイに対する選択経路が同じ構成となり、タイミング設計が容易になる。

【図面の簡単な説明】

【図1】この発明の一実施例によるDRAMの構成を示す。

13

【図2】同実施例のアドレス変換回路の具体的構成を示す。

【図3】同実施例の論理ゲートの具体構成例を示す。

【図4】同実施例の内部アドレス切り替え回路における第1の内部アドレス選択部の構成を示す。

【図5】同実施例の内部アドレス切り替え回路における第2の内部アドレス選択部の構成を示す。

【図6】同実施例の具体適用例におけるメモリセルアレイとロウデコーダ部及びアドレスバスの構成を示す。

【図7】図3の構成を変形した第1の内部アドレス選択部の構成を示す。

【図8】図4の構成を変形した第2の内部アドレス選択部の構成を示す。

*

14

*【図9】この発明の他の実施例によるDRAMの構成を示す。

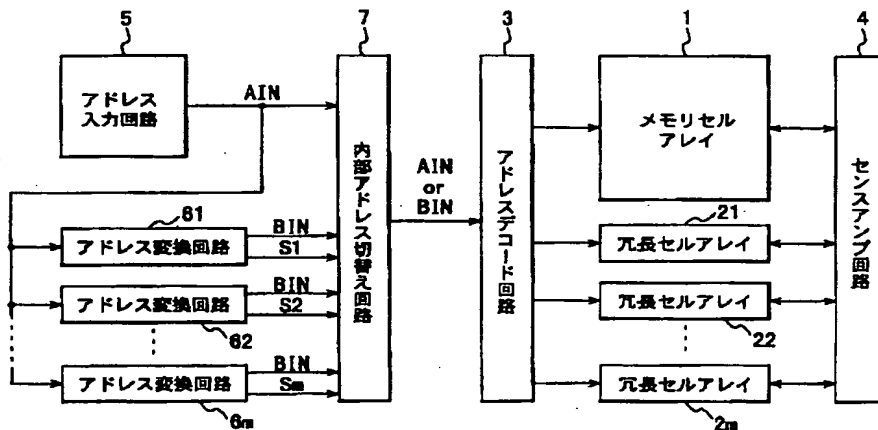
【図10】同実施例の識別ビット付加回路の構成例を示す。

【図11】フューズ回路の他の構成例を示す。

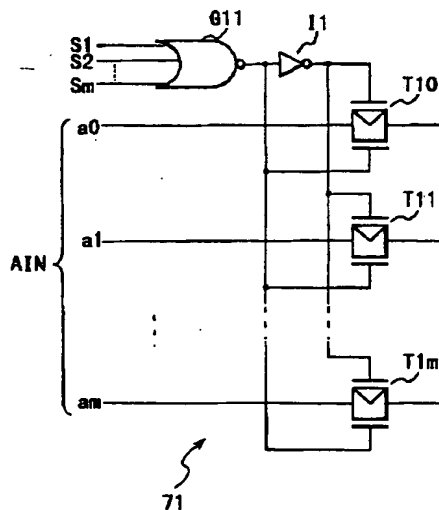
【符号の説明】

1…メモリセルアレイ、2…冗長セルアレイ、3…アドレスデコード回路、4…センスアンプ回路、5…アドレス入力回路、6…アドレス変換回路、7…内部アドレス切り替え回路、61…変換用データ記憶回路、62…論理ゲート、63…識別信号生成回路、8…識別ビット付加回路。

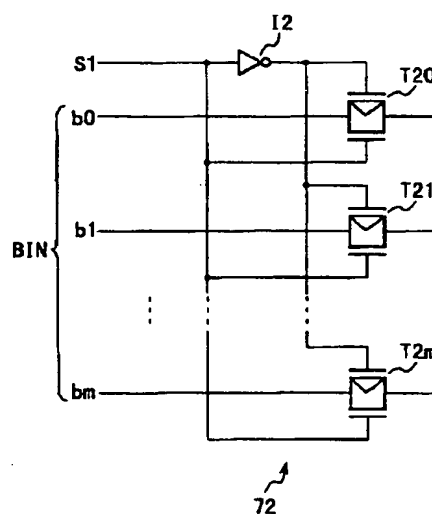
【図1】



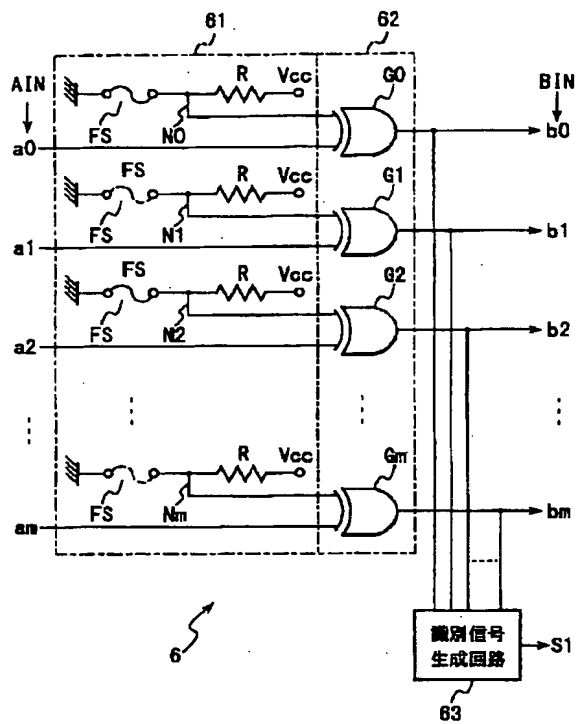
【図4】



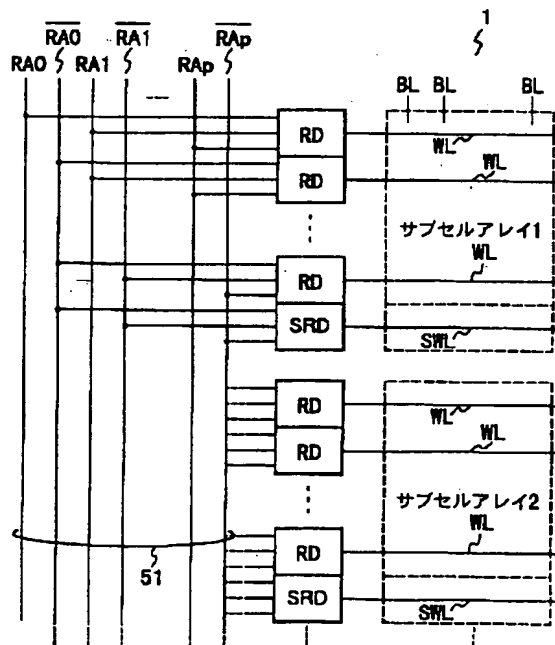
【図5】



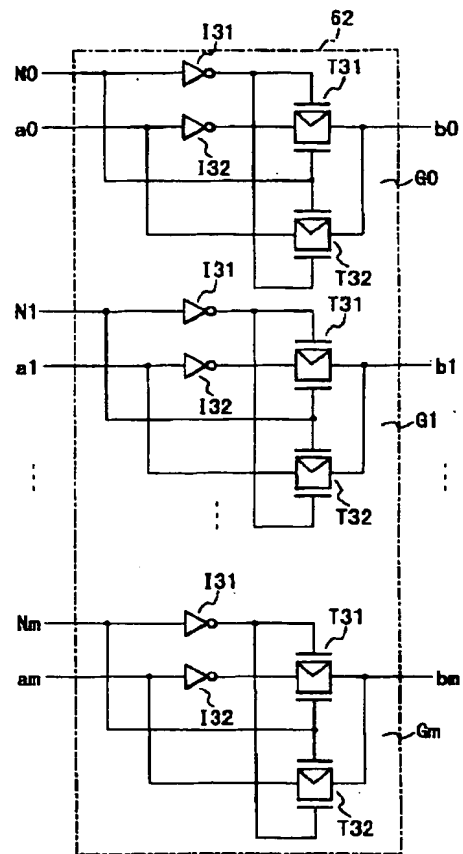
【図2】



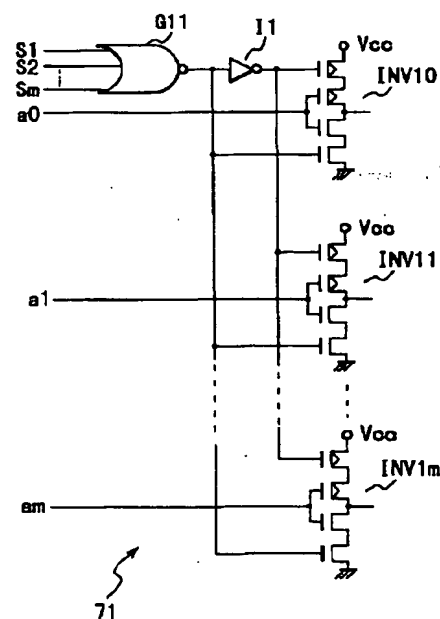
【図6】



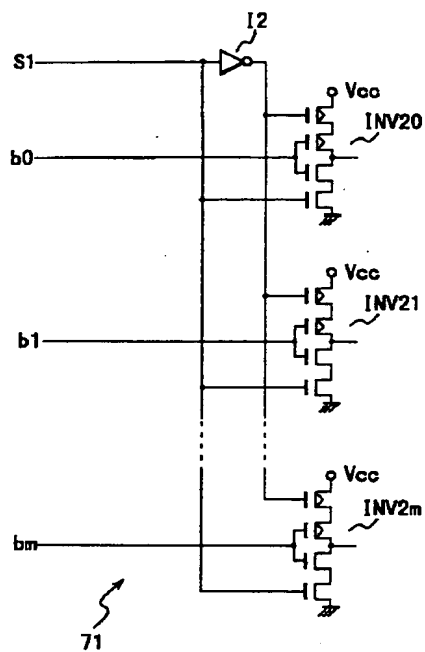
【図3】



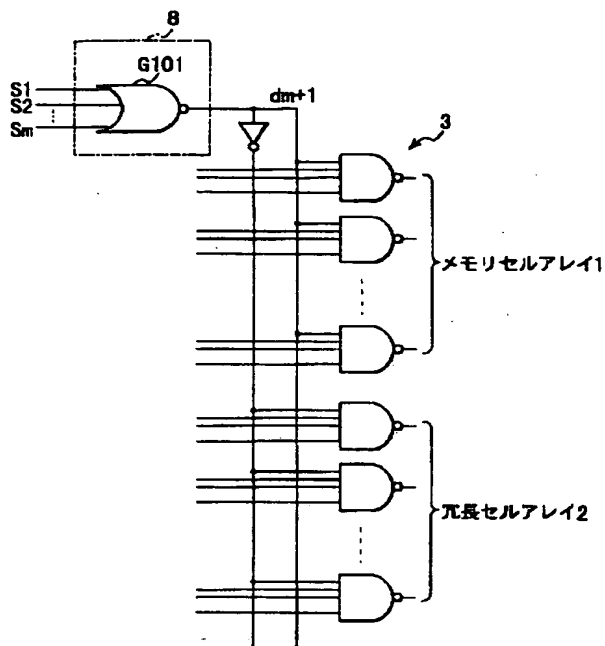
【図7】



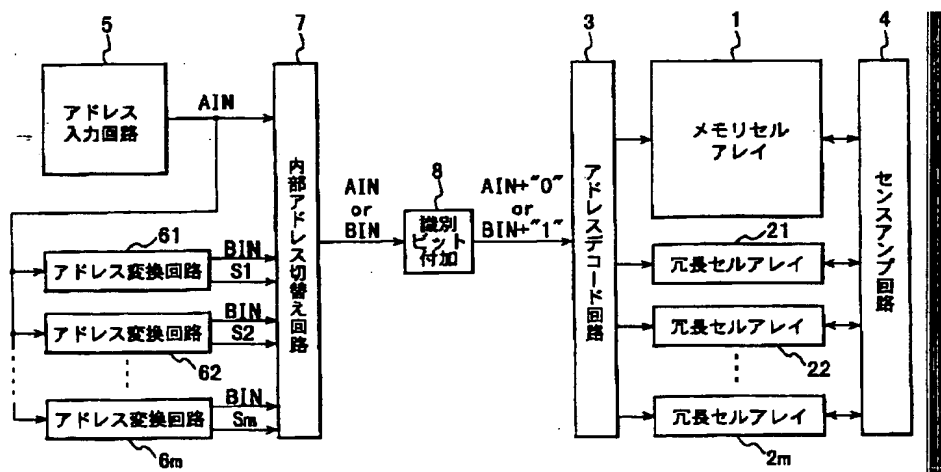
【図8】



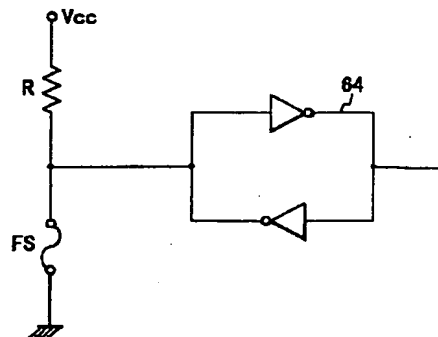
【図10】



【図9】



【図11】



フロントページの続き

(72)発明者 今宮 賢一
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 杉浦 義久
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

Fターム(参考) 5B015 BA01 EA02 GA01
5B024 AA07 BA17
5L106 AA01 CC17 CC32